**ORGANIZAÇÃO DE COMPUTADORES I/INTRODUÇÃO À ARQUITETURA DE COMPUTADORES – PROVA 2 – 2017/1 – 25 pontos**

Atenção: existem questões no verso da prova!

**Questão 1:** Apresente duas vantagens de se implementar o controle do processador usando microprogramas ao invés do controle baseado em máquina de estados finitos. (4 pontos)

**Questão 2:** Apresente um programa, em linguagem de montagem do MIPS, que apresente um problema de *hazard* de controle, e outra com um *hazard* de dados. Indique em qual das instruções ocorre cada um deles. (2 pontos)

**Questão 3**: Qual é a razão de termos registradores entre os estágios do *pipeline*? (2 pontos)

**Questão 4:** Em arquitetura de computadores, podemos classificar o acesso aos registradores em quatro formas, de acordo com o tipo de acesso atual e o último tipo de acesso ao mesmo: Read After Read (RAR), Read After Write (RAW), Write After Read (WAR) e Write After Write (WAW). Indique em quais deles não acontece *hazard* de dados, e explique porque. (3 pontos)

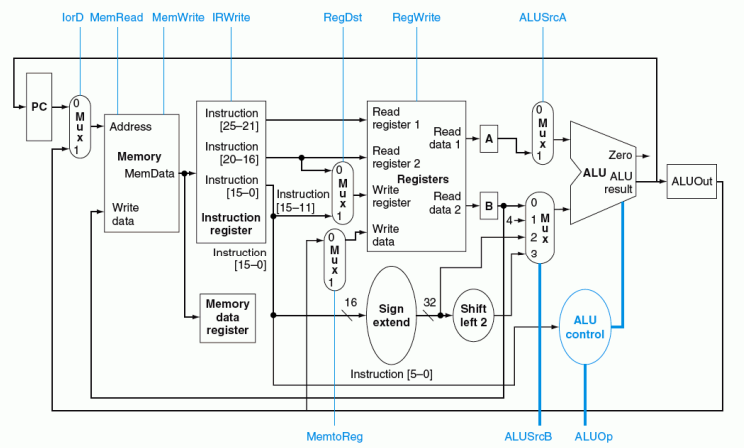
**Questão 5:** Temos um processador com tempos de acesso abaixo. As unidades estão ordenadas de cima para baixo em ordem de uso pela arquitetura. Responda: (6 pontos)

|  |  |  |
| --- | --- | --- |
| 1. Qual seria o tempo de ciclo para um processador monociclo? 2. Qual seria o tempo de ciclo para um processador multiciclo? 3. Se você fosse desenvolver um processador em pipeline com somente três estágios, quais fases você iria fundir? Porque? | Unidade | Tempo de acesso |
| Memória de instruções | 200ps |
| Banco de registradores | 50ps |
| ALU | 300ps |
| Memória de dados | 200ps |

**Questão 6:** Existem 3 grandes formas de organizar um processador: ciclo único, multiciclo e baseado em *pipeline*. Responda, para cada um deles (4 pontos):

1. Qual é o CPI esperado para uma máquina de ciclo único?
2. Considerando os tempos da questão anterior, para uma máquina de ciclo único, quantas instruções seriam completadas por segundo?
3. Considere agora que esta mesma máquina roda com um *pipeline* de quatro estágios. Supondo que não existam *hazards*, quantas instruções seriam completadas por segundo?
4. Porque o controle de uma máquina baseada em pipeline é mais complexo que o controle de uma máquina multiciclos?

**Questão 7 no verso da prova**

**Questão 7:** Preencha a tabela abaixo (na folha de prova mesmo) com os sinais de controle para as seguintes instruções do MIPS (4 pontos):

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Instrução/Sinal | IorD | MemRead | MemWrite | IRWrite | RegDst | RegWrite | AluSrcA | AluSrcB | MemToReg |
| SW Rd, #c(Rs) |  |  |  |  |  |  |  |  |  |
| ADD Rd, Ra, Rb |  |  |  |  |  |  |  |  |  |